

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

---

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

---

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020062796 A

(43)Date of publication of application: 31.07.2002

---

(21)Application number: 1020010060585  
(22)Date of filing: 28.09.2001  
(30)Priority: 25.01.2001 JP 2001 2001016522

(71)Applicant: MITSUBISHI DENKI KABUSHIKI  
KAISHA  
RYODEN SEMICONDUCTOR  
SYSTEM ENGINEERING  
CORPORATION

(72)Inventor: KOBAYASHI HEIJI  
NAKAZAWA SHOICHIRO

(51)Int. Cl. H01L 21/28

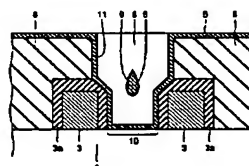
---

## (54) SEMICONDUCTOR DEVICE AND ITS FABRICATING METHOD

## (57) Abstract:

PURPOSE: To provide a semiconductor device having such a structure as a short circuit does not take place between plug wirings even a void is generated in an insulation layer at the gap between wiring layers, and its fabricating method.

CONSTITUTION: The method for fabricating a semiconductor device comprises a step for forming transfer gates 3 and 34 closely each other on a semiconductor substrate 1 through a gap 10, a step for filling the gap to cover a wiring layer, a step for opening a contact hole 11 in an insulation layer 8 at the gap part, a step for forming a short circuit preventive insulation film 5 in the contact hole, an etch back step for removing the short circuit preventive insulation film 5 at least on the bottom part of the gap to expose the semiconductor substrate 1, and a step for forming a plug wiring 12.



&copy; KIPO & JPO 2003

## Legal Status

Date of request for an examination (20010928)

Final disposal of an application (registration)

Date of final disposal of an application (20040210)

특 2002-0062796

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> H01L 21/28	(11) 공개번호 (43) 공개일자	특 2002-0062796 2002년 07월 31일
(21) 출원번호 (22) 출원일자	10-2001-0060585 2001년 09월 28일	
(30) 우선권주장 (71) 출원인	JP-P-2001-00016522 2001년 1월 25일 일본(JP) 미쓰바시덴키 가부시키가이샤	
(72) 발명자	일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고료덴 세미컨덕터 시스템 엔지니어링 (주) 일본국 효고켄 이타미시 미즈하라 4-1 나카자와 쇼이치로	
(74) 대리인	일본국 효고켄 이타미시 미즈하라 4-1 료덴 세미컨덕터 시스템 엔지니어링 (주) 내 고바야시 헤이지 일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고미쓰바시덴키 가부시키가이샤 내 김창세	

심사청구 : 있음

(54) 반도체 장치 및 그 제조 방법

요약

본 발명은, 배선층간의 간극의 절연층중에 공극이 발생한 경우에도, 플러그 배선 사이에 단락을 발생시키지 않는 구조를 갖는 반도체 장치와 그 제조 방법을 제공한다.

본 발명에서는, 반도체 기판(1)에 간극(10)을 두고서 전송 게이트(3, 23)를 근접하여 형성하는 공정과, 간극을 메워 배선층을 피복하는 공정과, 간극부의 절연층(8)에 콘택트 홀(11)을 개구하는 공정과, 콘택트 홀내에 단락 방지 절연막(5)을 형성하는 공정과, 적어도 극간 바닥부의 단락 방지 절연막(5)을 제거하여 반도체 기판(1)을 노출시키는 에칭백 공정과, 플러그 배선(12)의 형성 공정을 구비한다.

도면

도 2

도 3

도면의 간단한 설명

도 1은 본 발명의 실시예 1에 있어서의 반도체 장치의 제조 방법에서, 콘택트 홀 내면에 단락 방지 절연막을 성막한 단계의 평면도,

도 2는 도 1에 있어서의 II-II 단면도,

도 3은 도 1 및 도 2의 상태에 대하여 에칭백을 실행하는 반도체 기판을 노출시킨 단계의 단면도,

도 4는 본 발명의 실시예 1에 있어서의 반도체 장치의 제조 방법에서, 반도체 기판에 소자 분리 절연대를 마련하고, 웰을 형성하기 위해서 불순물을 주입한 단계의 단면도,

도 5는 도 4의 상태에 대하여, 워드선인 전송 게이트를 형성한 단계의 단면도,

도 6은 도 5의 A 부분 확대도,

도 7은 도 6의 상태에 대하여 절연막을 퇴적한 단계의 단면도,

도 8은 도 7의 상태에 대하여 폴리페드용의 콘택트 홀을 개구한 단계의 단면도,

도 9는 도 3에 나타난 에칭백 후에, 플러그 배선(폴리페드)을 형성한 단계의 단면도,

도 10은 도 9의 상태에 대하여, 비트선을 형성한 단계의 단면도,

도 11은 도 10의 상태에 대하여, 절연층을 퇴적하고, 저장 노드 콘택트를 형성하며, 그 위의 절연층을 더 퇴적하여, 비트 정보를 기억하는 저장 노드를 형성한 단계의 단면도,

도 12는 실시예 1에 있어서의 DRAM의 워드선과 비트선의 배치를 나타내는 부분 평면도,

- 도 13은 도 12에 있어서의 X IIIb-X IIIb 선의 단면을 포함하는 실시예 10에 있어서의 DRAM의 개요를 나타내는 단면도,  
 도 14는 본 발명의 실시예 20에 있어서의 DRAM의 제조 방법에서, 콘택트 홀 내면에 단락 방지 절연막을 성막한 단계의 평면도,  
 도 15는 종래의 DRAM의 전송 게이트와 공극 발생의 가능성이 있는 영역을 나타내는 평면도,  
 도 16은 도 15에 있어서의 X VI-X VI 단면도,  
 도 17은 종래의 DRAM에서, 공극을 통하여 폴리패드 사이에 발생하는 단락을 설명하는 평면도.

#### 도면의 주요 부분에 대한 부호의 설명

- 1 : 반도체 기판3 : 전송 게이트(배선층)  
 3a : 전송 게이트의 피복 절연막5 : 집화막(단락 방지 절연막)  
 8 : 절연층9 : 공극  
 9a : 공극을 발생할 가능성이 높은 영역  
 10 : 간극11 : 콘택트 홀  
 12 : 폴리패드(플러그 배선)21 : 콘택트 홀  
 22 : 폴리패드(플러그 배선)23 : 전송 게이트  
 23a : 피복 절연막26 : 전송 게이트  
 26a : 피복 절연막27 : 콘택트 홀  
 28 : 플러그 배선31, 31a : 비트선  
 38, 39, 41, 46 : 절연층32 : 저장 노드 콘택트  
 33 : 하층 전극34 : 유전체층  
 35 : 상층 전극36 : 배선층  
 44 : 1층재 금속 배선45 : 2층재 금속 배선  
 46 : 금속 배선간 콘택트

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 보다 구체적으로는, 고집적도의 반도체 회로 구조에 있어서 불가피하게 절연층 등에 발생하는 결함을 무해화(無害化)하는 반도체 장치 및 그 제조 방법에 관한 것이다.

반도체 장치의 소형화의 진전과 함께, 비트선의 전극으로서 폴리패드가 형성된 폴리패드형 셀 구조에서는, 전송 게이트(Transfer Gate) 사이의 간극이 좁게 되는 것은 피할 수 없다. 이 때문에, 그 전송 게이트 사이의 극간(隙間) 형상은 길이 방향으로 긴 고 증횡비(aspect ratio)를 갖도록 되어 있고 있다. 통상, 전송 게이트의 도전 배선을 패터닝한 후, 그 도전 배선의 상면 및 측면에 피복 보호막으로서 집화막이 형성되고, 또한, 상기 전송 게이트 사이의 극간을 메우도록, 전송 게이트를 덮어 절연층이 형성된다.

##### 발명이 이루고자하는 기술적 과제

상술한 바와 같이 전송 게이트 사이에 고 증횡비의 간극이 있는 경우, 절연층을 형성할 때, 전송 게이트 사이의 간극을 완전히 절연층으로 매립할 수 없어, 평면적으로 보아 전송 게이트의 간쪽 방향을 따라 길게 연장하는 공극(void)이, 절연층 중에 발생하는 경우가 많다. 도 15는 DRAM(Dynamic Random Access Memory)에 있어서의 전송 게이트 및 폴리패드의 배치를 나타내는 평면도이며, 또한, 도 16은 도 15에 있어서의 X VI-X VI 단면도이다. 도 15에 의하면, 2열의 전송 게이트(103) 사이의 극간을 메우는 층간 절연막(108) 중에, 공극을 발생할 가능성이 높은 영역(109a)이 연장하고 있다. 이 영역(109a)에서, 도 16에 도시하는 바와 같이 공극(109)이 형성되면, 폴리패드를 형성하는 폴리실리콘의 퇴적시에, 공극중에 폴리실리콘이 들어가 버려, 도 17에 도시하는 바와 같이 이웃하는 폴리패드(104a, 104b) 사이에 단락이 발생한다. 도 17에 의하면, 이웃하는 폴리패드(104a, 104b)를 접속하도록 공극을 메우는 폴리실리콘(114)이 형성되어 있다. 이러한 단락이 발생하면, 양품률이 저하하여 납기 지연 등이 발생하게 된다.

본 발명의 목적은, 좁은 간극을 두고 근접하여 병렬로 배치된 배선층을 갖는 고 집적도의 반도체 장치에 있어서, 간극을 메우는 절연층중에 공극이 발생한 경우에도, 간극을 따라 간극을 두고 형성되는 플러그

배선 사이에 단락을 발생하지 않는 구조를 갖는 반도체 장치 및 그 제조 방법을 제공하는데 있다.

#### 발명의 구성 및 작용

본 발명의 반도체 장치의 제조 방법은, 반도체층 및 도체층중의 어느 하나로 구성되는 기층 위에 간극을 두고 복수의 배선층을 병렬 형상으로 근접시켜 형성하는 근접 배선층 형성 공정과, 간극을 메워 배선층을 피복하는 절연층을 퇴적하는 절연층 퇴적 공정과, 평면적으로 보아 간극의 긴쪽 방향을 따르도록, 절연층에 간격을 두고 2개 이상의 콘택트 홀을 개구하는 콘택트 홀 개구 공정과, 콘택트 홀내에 단락 방지 절연막을 형성하는 단락 방지 절연막 형성 공정과, 형성된 단락 방지 절연막중 적어도 콘택트 홀의 바닥부의 단락 방지 절연막을 제거하여 기층을 노출시키는 단락 방지막 제거 공정과, 기층에 접하여 콘택트 홀을 메우도록 도전성 재료에 의해서 플러그 배선을 형성하는 플러그 형성 공정을 구비한다.

이 제조 방법에 의하면, 극간을 메우는 부분 및 그 주변 부분의 절연층에 공극이 형성되더라도, 콘택트 홀의 측벽에 노출되어 있는 공극중에 단락 방지 절연막이 들어가 차단되기 때문에, 이웃하는 플러그 배선끼리 도통하는 사태를 피할 수 있다. 또, 상기 간극에서는, 그 깊이와 폭의 비는, 절연층을 형성할 때 공극을 발생할 우려가 있을 정도로 큰 것이 대상으로 된다.

본 발명의 반도체 장치의 제조 방법에서는, 근접 배선층 형성 공정인, 예를 들면, 기층 위에 형성된 배선층의 각각과 극간에 있어서의 기층을 피복하는 피복 절연막을 형성하는 피복 절연막 형성 공정을 구비하는 것이 바람직하다.

이 제조 방법에 의해, 예를 들면, 이웃하는 전송 게이트 사이의 소정 위치에 폴리패드를 형성하더라도, 이웃하는 전송 게이트가 단락하는 것을 확실하게 방지할 수 있다.

본 발명의 반도체 장치의 제조 방법에서는, 예를 들면, 콘택트 홀 개구 공정에서는, 피복 절연막 형성 공정에서 형성된 간극의 바닥부의 기층을 덮는 피복 절연막에 도달하도록 콘택트 홀을 개구할 수 있다.

상기 구성에 의해, 배선층을 피복하는 피복 절연막을 제거하기 전에, 단락 방지 절연막을 퇴적하여 공극을 차단한 뒤에, 단락 방지 절연막 제거 공정에서, 극간바닥부의 피복 절연막과 단락 방지 절연막을 한번에, 예를 들면 에칭백해 버릴 수 있다. 이 결과, 제조 능률을 향상시킬 수 있다.

본 발명의 반도체 장치의 제조 방법에서는, 예를 들면, 콘택트 홀 개구 공정은 간극 바닥부의 기층을 덮는 피복 절연막을 제거하여 기층을 노출시키는 피복 절연막 제거 공정을 구비할 수 있다.

이 구성에 의해, 단락 방지 절연막 형성 후의 피복막 제거 공정에서는, 단락 방지 절연막만을 제거하면 되기 때문에, 공극을 차단하고 있는 단락 방지 절연막을 그다지 제거하지 않고, 플러그 배선 형성 공정으로 이행할 수 있다. 이 때문에, 보다 확실한 단락 방지를 확보할 수 있다. 또, 피복 절연막 제거 공정은 콘택트 홀 개구 공정에 있어서의 절연층에 콘택트 홀을 개방하는 처리가 그대로 계속된 공정이라도 무방하다. 또한, 콘택트 홀 개구 공정과는 별도의 에칭 처리를 행하는 공정이라도 무방하다.

본 발명의 반도체 장치의 제조 방법에서는, 예를 들면, 단락 방지 절연막 형성 공정에서는, CVD(Chemical Vapor Deposition)에 의해서 실리콘 질화막 및 실리콘 산화막중의 적어도 한쪽을 형성할 수 있다.

CVD에 의하면, 단락 방지 절연막은 공극의 입구로부터의 보이지 않는 공극의 안쪽에까지 들어가 퇴적할 수 있기 때문에, 공극을 확실하게 메워 차단할 수 있다. 따라서, 보다 높은 신뢰성으로 플러그 배선 사이의 단락을 방지할 수 있다.

본 발명의 반도체 장치의 제조 방법에서는, 예를 들면, 도전성 재료가 불순물을 포함하는 폴리실리콘인 것이 바람직하다. 불순물을 포함하는 폴리실리콘은 처리 방법이나 그 특성이 지금까지 잘 알려져 있었던 재료이기 때문에, 재현성이 양호하고 안정하고 간편하게 플러그 배선을 형성할 수 있다.

본 발명의 반도체 장치의 제조 방법에서는, 예를 들면, 복수의 배선층을, 워드선을 구성하는 전송 게이트로 하고, 플러그 배선을, 기층과 비트선을 접속하는 폴리패드로 할 수 있다.

이 구성에 의해, DRAM, SRAM, 플래쉬 메모리 등의 메모리 칩 및 CPU, MPU 등의 논리 칩의 폴리패드를 단락시키지 않고 형성할 수 있다. 이 결과, 이들 반도체 장치의 신뢰성을 높여, 제조에 있어서의 양품률을 향상시킬 수 있다.

본 발명의 반도체 장치는, 반도체층 및 도전층중의 어느 하나로 구성되는 기층 위에, 간극을 두고 병렬 형상으로 근접하여 배치된 복수의 배선층과, 간극을 메워 배선층을 피복하도록 배치된 절연층과, 평면적으로 보아 간극의 긴쪽 방향을 따라, 절연층의 부분에 간격을 두고 2개 이상 배치된, 기층에 도달하는 도전성 재료로 이루어지는 플러그 배선을 구비하되, 플러그 배선과 절연층 사이에 절연층과 상이한 단락 방지 절연막을 구비한다.

이 구조에 의해, 공극 발생의 우려가 있는 극간을 수반하는 구조를 포함하는 것을 피할 수 없는 반도체 장치에 있어서, 가령 극간의 부분 또는 그 주변 부분의 절연층에 긴쪽 방향을 따라 공극이 발생하더라도, 플러그 배선 사이에서 단락이 발생하는 것이 방지된다. 이 때문에, 반도체 장치의 신뢰성을 높여, 제조에 있어서의 양품률을 향상시킬 수 있다. 또, 상기 간극의 깊이와 폭의 비는, 절연층을 형성할 때에, 공극을 발생할 우려가 있을 정도로 높은 홀이 대상으로 된다. 플러그 배선과 절연층 사이에 배치된 단락 방지 절연막은 플러그 배선의 주위를 전부 덮고 있을 필요는 없고, 플러그 배선과 절연층 사이에 부분적으로 위치하고 있으면, 본 발명에 해당한다. 또한, 일부의 플러그 배선에 상기 구조가 있으면 본 발명에 해당한다.

상기 본 발명의 반도체 장치에서는, 예를 들면, 절연층의 간극을 메우는 부분에 발생하고 있는 공극에 단락 방지 절연막이 들어가 있는 구조로 하는 것이 바람직하다.

공극에 단락 방지 절연막이 들어가는 것에 의해, 공극을 전기적으로 차단하여 플러그 배선 사이의 단락을

방지하는 확실도를 보다 높게 할 수 있다. 공극은 플러그 배선 사이를 통해서 발생하고 있을 필요는 없고, 조금이라도 플러그 배선용의 콘택트 홀에 개구하고 있는 부분이 있으면 된다. 조금이라도 콘택트 홀에 개구하고 있는 부분이 있으면, 단락 방지 절연막은 그 개구 부분에 들어갈 수 있다. 또한, 모든 플러그 배선이, 상기 단락 방지 절연막이 그 개구부에 들어간 공극을 갖고 있을 필요는 없고, 일부의 플러그 배선이, 단락 방지 절연막이 그 개구부에 들어간 공극을 갖고 있으면 상기 발명에 해당한다.

상기 본 발명의 반도체 장치에서는, 단락 방지 절연막이, 예를 들면, 질화 실리콘막 및 산화 실리콘막중의 적어도 한쪽인 것이 바람직하다.

이들 단락 방지 절연막을 이용하는 것에 의해, 공극의 발생 위험성이 있는 고 증황비의 간극을 개재시키는 배선 구조를 피할 수 없는 반도체 장치에 있어서, 저렴한 단락 방지 절연막을 이용하여 공극에 기인하는 플러그 배선 사이의 단락을 방지할 수 있다.

상기 본 발명의 반도체 장치에서는, 예를 들면, 도전성 재료가 불순물을 포함하는 폴리실리콘인 것이 바람직하다.

이 구성에 의해, 예를 들면, 비트선과 기층을 확실하게 접속할 수 있는 저렴한 반도체 장치를 얻을 수 있다.

상기 본 발명의 반도체 장치에서는, 예를 들면, 복수의 배선층이 워드선을 구성하는 전송 게이트이며, 플러그 배선이 기층과 비트선을 접속하는 폴리패드이도록 할 수 있다.

이 구성에 의해, 공극 발생의 우려가 있는 고 증황비의 간극을 포함하는 DRAM, 플래쉬 메모리 등의 메모리 칩 및 CPU, MPU 등의 논리 칩을, 공극을 경유한 단락을 발생하는 일없이 제조할 수 있다. 이 결과, 이들 반도체 장치의 신뢰성을 높여, 제조에 있어서의 양품율을 향상시킬 수 있다.

본 발명의 상기 및 그 밖의 목적, 특징, 국면 및 이익 등은 첨부되는 도면을 참조하여 설명되는 이하의 상세한 실시예로부터 보다 명백해질 것이다.

#### (발명의 실시예)

다음에 도면을 이용하여 본 발명의 실시예에 대하여 설명한다.

#### (실시예 1)

도 1 및 도 2에 있어서, 반도체 기판(1) 위에, 극간(10)을 개재시켜 2열의 전송 게이트(3)가 형성되고, 각 전송 게이트(3)는 그 측면과 상면이 피복 절연막(3a)에 의해 피복되어 있다. 이 피복 절연막(3a)은 극간(10)의 바닥부의 반도체 기판 위도 피복하고 있지만, 도 2에 나타내는 콘택트 홀의 바닥부의 부분에서는 제거되어 있다. 절연층(8)은 극간(10)을 매우도록 전송 게이트(3)를 덮어 형성된다. 이 절연막(8)에는, 폴리패드를 형성하기 위해서 극간(10)의 긴쪽 방향을 따라서 간격을 두고 콘택트 홀(11)이 개구되어 있다.

본 발명에 있어서 문제로 되는 공극(9)은 평면적으로 보아, 극간을 덮는 절연층에 있어서 극간(10)의 긴쪽 방향을 따라 생성된다. 따라서, 공극은 도 2에 있어서, 지면에 수직으로 연장하고 있다. 폴리패드를 형성하기 위해서, 전송 게이트 사이의 소정 위치에 콘택트 홀(11)을 뚫으면, 도 2의 단면도에 있어서, 공극(9)은 콘택트 홀(11) 안쪽의 절연층(8)의 벽에 개구부로서 나타난다. 종래와 같이, 이대로, 콘택트 홀을 폴리실리콘으로 채워넣어 폴리패드를 형성하면, 공극내에도 폴리실리콘이 퇴적되어, 공극에 퇴적한 폴리실리콘을 경유하여 이웃하는 폴리패드가 도통하여, 단락이 발생하게 된다.

그래서, 도 1 및 도 2에 도시하는 바와 같이, 콘택트 홀(11)을 개방한 후, 절연층(8) 및 전송 게이트(3)의 사이드월의 표면에 CVD(Chemical Vapor Deposition)에 의해서, 단락 방지 절연막인 질화막(5)을 퇴적한다. 이 질화막(5)은 공극내에도 들어가, 공극을 매우 이웃하는 콘택트 홀 사이를 차단한다. CVD법에 의해서, 단락 방지 절연막의 질화막을 성막하는 것에 의해, 공극의 개구부로부터 보이지 않는 안쪽의 부분에까지, 단락 방지 절연막의 가스 성분이 도달하여 거기서 성막하기 때문에, 콘택트 홀 사이의 차단을 확실하게 할 수 있다.

또한, 도 3에 도시하는 바와 같이, 전송 게이트 측면의 어깨 부분 및 극간(10)의 바닥부의 질화막(5)을 에칭백한다. 이 에칭백에 의해서, 여분인 질화막(5)을 제거하여, 콘택트 홀을 매우는 플러그 배선과 반도체 기판(1)과의 접촉을 확보할 수 있다.

다음에, 도 1~도 3의 처리 단계에 이르기까지의 처리 공정 및 도 1~도 3으로부터 이후의 처리 공정에 대하여 설명한다. 도 4는 반도체 기판(1)의 표면에 소자 분리대(29)를 형성하고, 그 사이의 영역에 불순물을 주입하여 웰(도시하지 않음)을 형성한 단계의 단면도이다. 이어서, 도 5에 도시하는 바와 같이 지면에 수직으로 연장하는 워드선을 구성하는 전송 게이트(3, 23, 26)를 형성한다. 전송 게이트는 도전층 부와, 그 위면과 측면을 피복하는 피복 절연막(3a, 23a, 26a)으로 구성된다. 또한, 불순물을 주입하여 채널(도시하지 않음)을 형성한다.

도 6은 도 5에 있어서의 A 부분을 확대한 도면이다. 이후, 절연막(8)을 퇴적하지만, 도 7에 도시하는 바와 같이, 극간(10) 부분의 절연막(8)에 공극(9)이 생성된다. 이어서, 폴리패드용의 콘택트 홀(11)을 개구하면, 도 8에 도시하는 바와 같이, 콘택트 홀(11)의 측벽에 공극(9)의 횡단면이 나타난다.

이후, 도 1 및 도 2에 도시한 바와 같이, 콘택트 홀(11)내에 단락 방지 절연막인 질화막(5)을 성막하고, 이어서, 도 3에 도시한 바와 같이, 이 질화막(5)을 에칭백한다. 상술한 바와 같이, 이 도 1~도 3의 처리 공정이 본 발명의 근간을 이루는 처리 공정 부분이다.

이후, 도 9에 도시하는 바와 같이 콘택트 홀(11, 21, 27)을 매우도록 폴리실리콘을 퇴적하여 플러그 배선

를 형성한다. 이 플러그 배선(1), 비트선과 반도체 기판을 연결하는 폴리패드(12, 22, 28)이다. 이어서, 도 10에 도시하는 바와 같이, 절연층(8) 위에 폴리패드에 접속하는 비트선(31)을 형성한다. 이후, 절연층(38)을 퇴적하고, 그후, 비트 정보를 기억하는 콘덴서부를 구성하는 저장 노드와 콘택트를 취하는 저장 노드 콘택트(32)를 형성한다(도 11 참조). 그후, 절연층(39)을 퇴적하고, 콘택트 홀을 개구한 후에 저장 노드를 형성한다. 저장 노드는 저장 노드 콘택트(32)에 접속하는 하층 전극(33)과, 그 위의 유전체층(34)과, 그 위의 상층 전극(35)으로 구성되고, 절연층(39) 위의 배선층(36)에 상층 전극(35)이 접속된다.

도 12는 상기한 바와 같이 형성된 DRAM의 평면도를 나타낸다. 워드선을 구성하는 전승 게이트(3, 23)가 지면의 상하 방향으로 연장하고, 비트선(31)이 그것에 직교하도록 지면의 좌우 방향으로 연장하고 있다. 비트선은 전승 게이트와 마찬가지로 폭을 갖지만, 도면을 보기 쉽게 하기 위해서, 선으로 표시하고 있다. 전승 게이트(3, 23) 사이의 극간에는, 공극을 생성할 가능성이 높은 영역(9a)이 전승 게이트에 평행하게 연장한다. 도 12에 있어서, 폴리패드(12)는 비트선을 한개씩 걸러서 영역(9a)을 통해 이웃하는 폴리패드와 공극을 통해 단락할 가능성이 있다. 도 10에 있어서는, 단락할 가능성이 있는 2개의 폴리패드 사이의 영역은 생략하고 있다. 도 13은 도 12의 X III-B-X III-B 선의 단면에 대응하는 부분 B를 포함하는 단면도이다. 도 13에 있어서는, 도 12의 처리 단계에서 절연층(41)이 더 퇴적되고, 절연층(41)중에 금속 배선 콘택트(43)가 형성되며, 그 위에 1층째 금속 배선이 성막된다. 또한, 1층째 금속 배선(44)을 덮도록 절연층(42)이 성막되고, 이어서, 금속 배선간 콘택트(46)가 형성되고, 그 위에 2층째 금속 배선(45)이 형성되며, DRAM의 전극이 형성된다.

상기한 바와 같이, 본 실시예에서는, 단락 방지 절연막 형성 공정과 그 에칭백 공정 때문에, 공극내에서, 이웃하는 폴리패드가 절화물에 의해 이격되게 된다. 이 때문에, 이후에 폴리실리콘을 퇴적하여 폴리패드를 형성하더라도 절연이 유지되며, 폴리패드 사이에서 단락이 발생하는 일이 없게 된다. 본 실시예에 있어서의 단락 방지 처리에서는, 콘택트 홀(11)의 내면을 절화막(5)으로 피복하여 에칭백하는 처리가 증가하는 것 뿐이기 때문에, 용이하고 또한 확실하게 폴리패드끼리의 단락을 방지할 수 있다.

#### (실시예 2)

본 실시예 2에서는, 절연층(8)의 퇴적 후, 폴리패드 형성을 위한 콘택트 홀 개구 공정에서, 콘택트 홀을 반도체 기판에 도달할 때까지 깊게 개구하지 않고, 피복 절연막(3a)에 도달한 시점에서 종료한다. 이 시점에서, 공극(9)이 콘택트 홀(11)의 측벽에 그 개구부를 노출시킨다(도 14 참조). 도 14에 도시한 바와 같이, 이어서, 콘택트 홀(11)의 표면에 단락 방지 절연막(5)을 형성하고, 공극을 단락 방지 절연막으로 메워, 이웃하는 폴리패드를 차단한다. 이후, 콘택트 홀(11) 바닥부의 절화막(5)과 피복 절연막(3a)에 대하여, 에칭백을 실행하여, 극간(10) 부분의 반도체 기판을 노출시킨다. 이후, 비트선과 반도체 기판을 접속하는 플러그 배선을 형성한 경우, 공극은 단락 방지 절연막에 의해서 메워져 있기 때문에, 공극을 통해 이웃하는 플러그 배선 사이에 단락은 발생하는 일이 없다.

본 실시예에서는, 전승 게이트의 도전층을 피복하는 피복 절연막과, 단락 방지 절연막을 에칭백시에 함께 제거하기 때문에, 콘택트 홀 개구 공정에 있어서의 종료 시점을 그 정도로 엄밀하게 관리할 필요가 없어진다. 에칭백시에 반도체 기판에 도달하는 에칭을 실행하는 처리는, 에칭하는 막 두께가 얇기 때문에, 종료시의 관리는 그 정도로 정밀도는 필요로 하지 않는다. 이 때문에, 능률이 좋고, 양품률이 높게 제조할 수 있게 된다.

상기에 있어서, 본 발명의 실시예에 대하여 설명을 했지만, 상기에 개시된 본 발명의 실시예는 어디까지나 예시이고, 본 발명의 범위는 이를 발명의 실시예에 한정되지 않는다. 본 발명의 범위는, 특허 청구 범위의 기재에 의해서 나타내지고, 또한 특허 청구 범위의 기재와 균등의 의미 및 범위내에서의 모든 변형을 포함하는 것이다.

#### 발명의 효과

본 발명에 의해, 좁은 간극을 두고 근접하여 병렬로 배치된 배선층을 갖는 고집적도의 반도체 장치에 있어서, 간극을 메우는 절연층중에 공극이 발생한 경우에도, 간극을 따라 간극을 두고 형성되는 플러그 배선 사이에 단락을 발생시키지 않는다. 이 때문에, DRAM, 플래쉬 메모리 등의 메모리 칩 및 CPU, MPU 등의 논리 칩을, 공극을 경유한 단락을 발생하지 않고 제조할 수 있다. 이 결과, 이들 반도체 장치의 신뢰성을 높여, 제조에 있어서의 양품률을 향상시키는 것이 가능해진다.

#### (57) 청구의 범위

청구항 1. 반도체층 및 도체층중의 어느 하나로 구성되는 기층(base layer)(1) 위에 간극(10)을 두고 복수의 배선층(3, 3)을 병렬 형상으로 근접시켜 형성하는 근접 배선층 형성 공정과,

상기 간극(10)을 메워 상기 배선층을 피복하는 절연층(8)을 퇴적하는 절연층 퇴적 공정과,

평면적으로 보아 상기 간극의 긴쪽 방향을 따르도록, 상기 절연층에 간극을 두고 2개 이상의 콘택트 홀(11)을 개구하는 콘택트 홀 개구 공정과,

상기 콘택트 홀내에 단락 방지 절연막(5)을 형성하는 단락 방지 절연막 형성 공정과,

형성된 상기 단락 방지 절연막중 적어도 상기 콘택트 홀의 바닥부의 상기 단락 방지 절연막을 제거하여 상기 기층(1)을 노출시키는 단락 방지막 제거 공정과,

상기 기층에 접하여 상기 콘택트 홀을 메우도록 도전성 재료에 의해서 플러그 배선(22)을 형성하는 플러그 배선 형성 공정

를 구비하는 반도체 장치의 제조 방법.

형구항 2. 반도체층 및 도전층중의 어느 하나로 구성되는 기층(1) 위에, 간극(10)을 두고 병렬 형상으로 근접하여 배치된 복수의 배선층(3, 3)과,

상기 간극을 메워 상기 배선층을 피복하도록 배치된 절연층(8)과,

평면적으로 보아 상기 간극의 간격 방향을 따라, 상기 절연층의 부분에 간격을 두고 2개 이상 배치된, 상기 기층에 도달하는 도전성 재료로 이루어지는 플러그 배선(22)을 구비하되,

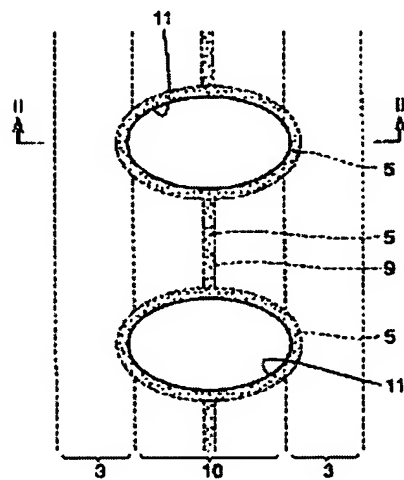
상기 플러그 배선과 상기 절연층 사이에 상기 절연층과 상이한 단락 방지 절연막(15)을 구비하는 반도체 장치.

형구항 3. 제 2 항에 있어서,

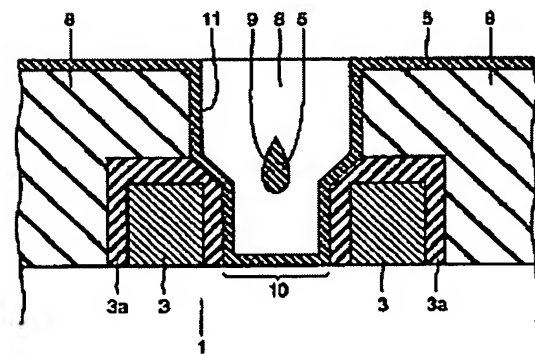
상기 절연층(18)의 상기 간극(10)을 메우는 부분에 발생한 공극(9)에 상기 단락 방지 절연막(5)이 들어가 있는 반도체 장치.

도면

도면1

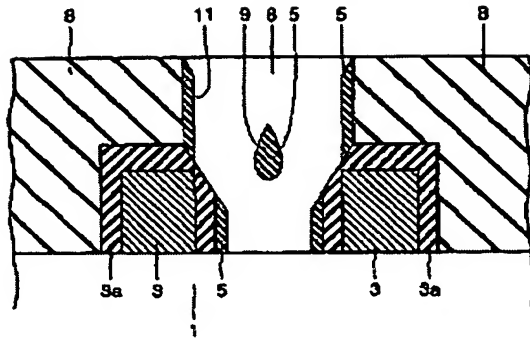


도면2

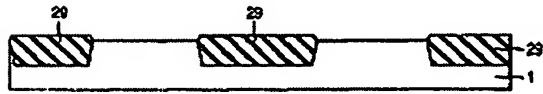




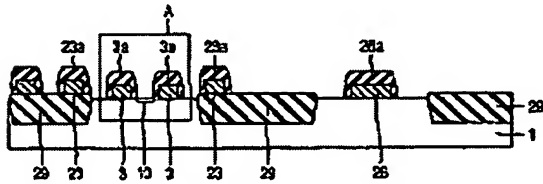
도 23



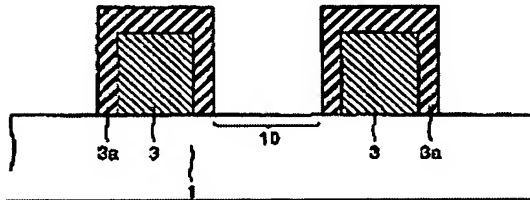
도 24



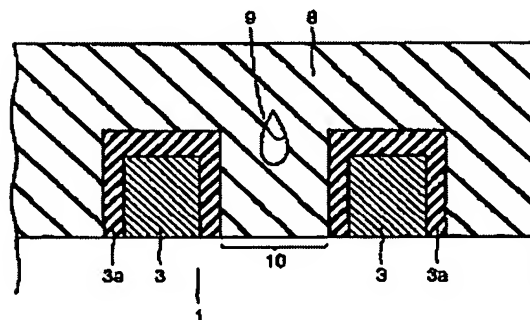
도 25



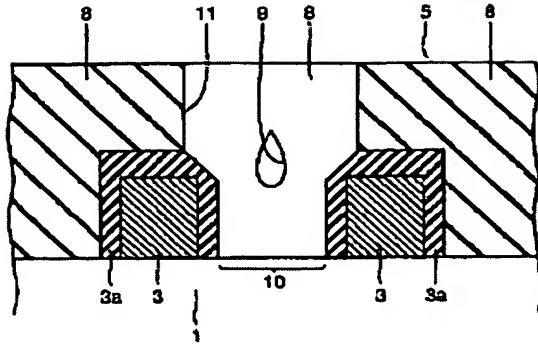
도 26



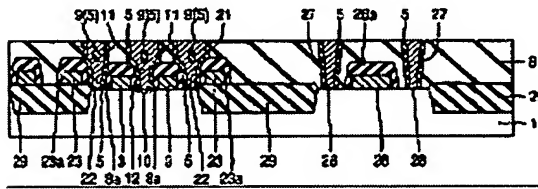
도 27



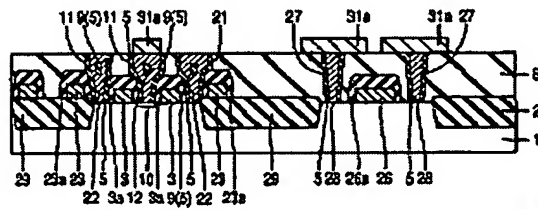
도 8



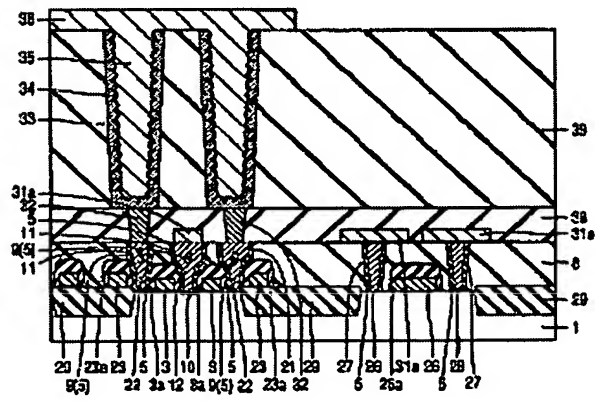
도 9



도 10

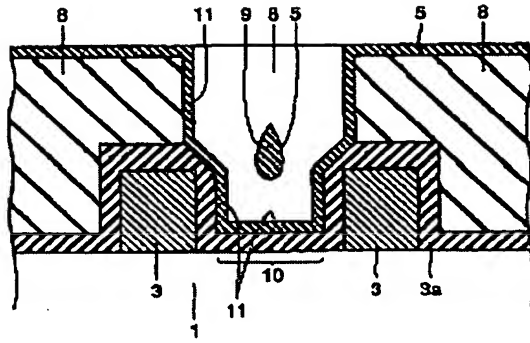


도 11

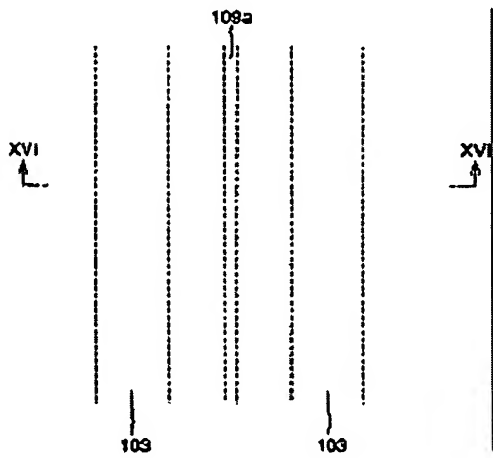




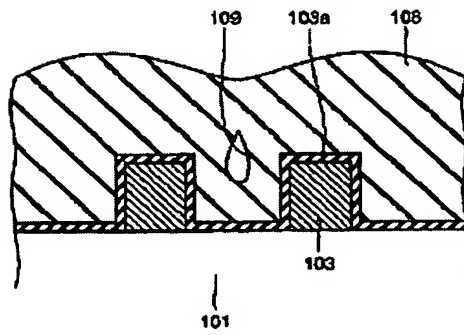
도 14



도 15



도 16



도 17

